

CLIPPEDIMAGE= JP402128486A

PAT-NO: JP402128486A

DOCUMENT-IDENTIFIER: JP 02128486 A

TITLE: JOINING LAYER OF SEMICONDUCTOR LASER ELEMENT HEAT
RELEASING BODY
SUBMOUNT

PUBN-DATE: May 16, 1990

INVENTOR-INFORMATION:

NAME

WATANABE, YASUMASA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJI ELECTRIC CO LTD

N/A

APPL-NO: JP63281573

APPL-DATE: November 8, 1988

INT-CL (IPC): H01S003/18

US-CL-CURRENT: 372/45

ABSTRACT:

PURPOSE: To decrease defects such as short circuit due to the undulation of solder by a method wherein a titanium layer, a platinum layer, a gold layer, and a metal tin solder layer or a gold tin eutectic crystal alloy solder layer is laminated in this sequence as a joining layer on the upside and the underside of a submount of a heat releasing body respectively.

CONSTITUTION: Joining layers 5a and 5a are formed on the upside and the underside of a submount 1 of a heat sink 7 which is interposed between a semiconductor laser element 6 and the heat sink 7 and joined to both of them. The joining layers 5a and 5a are composed of a titanium layer, an alloy layer, 3, a gold layer 9, and a tin solder layer 4 laminated in this sequence on the

surface of the submount 1 respectively. by this setup, when the solder is fused, the solder makes an alloy with gold and the alloy is solidified forming a smooth surface without irregularities, so that the joining layer 5 can be smoothly joined to the semiconductor element 6, an active layer 3 of the element 6 can be protected against the influence of soldering, moreover a joining high in bonding strength and low in heat resistance can be obtained and the occurrence of defects such as short circuit can be decreased.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-128486

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月16日

H 01 S 3/18

7377-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体レーザ素子放熱体のサブマウントの接合層

⑯ 特 願 昭63-281573

⑰ 出 願 昭63(1988)11月8日

⑱ 発 明 者 渡 辺 泰 正 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 半導体レーザ素子放熱体のサブマウントの接合層

2. 特許請求の範囲

1) 半導体レーザ素子と放熱体との間に介在してこれら双方に接合される前記放熱体のサブマウントの上下両面に形成する接合層であって、このサブマウント表面から順にチタン層、白金層、金層、銅はんだ層または金銅共晶合金はんだ層を積層してなることを特徴とする半導体レーザ素子のサブマウントの接合層。

3. 発明の詳細な説明

本発明は半導体レーザ素子に設けられる予備はんだ層に関する。

(従来の技術)

半導体レーザ素子が室温で連続発振するのを長期間継続させ、その長寿命を保持するためには、半導体レーザ素子の活性層から発生する熱を効率よく放散して動作温度を下げる必要がある。そこで素子をヒートシンク(放熱体)にはんだ付

けすることにより、この熱を逃がすようにしているが、そのとき素子の活性層に近い側の端面をヒートシンクに接合するUP-SIDE-DOWN方式が一般に採用されている。所が半導体レーザ素子とヒートシンクは熱膨張係数が大きく異なるため、これらを直接接合すると、はんだの溶融後の凝固過程で半導体レーザ素子の活性層に生ずる内部応力によりダークラインと呼ばれる転移網が発生して素子の発振しきい値電流が上昇し、逐には発振不可能となってしまふ。

これを防ぐためにインジウムなどの軟らかいはんだを用いてヒートシンクに半導体レーザ素子を接合し、活性層に生ずる内部応力を吸収するという方法もあるが、これは接合強度の点で十分でなく、弱れやすいという欠点がある。そのためヒートシンクと半導体レーザ素子との間に、半導体レーザ素子のGaAs基板と熱膨張係数のほぼ等しいシリコンやモリブデンなどをヒートシンクの一部として介在させたサブマウントの上に、銅などののはんだを用いて半導体レーザ素子を接合することに

より、接合強度や熱抵抗を満足することが可能となり、通常このような方法がとられている。

第2図はこの状態を説明するための模式断面図であり、前述のUP-SIDE-DOWN方式によるものである。第2図においてサブマウントであるシリコン板1の片面の鏡面研磨面に接着層としてチタン層2、はんだ溶食防止層として白金層3をスパッタなどで形成した後、錫のはんだ層4を蒸着法またはメッキ法により形成する。チタン層2を形成することによりシリコン板1と白金層3とが十分な接着強度を有し、白金層3上への錫のはんだ層4の形成は容易であり、素子をチップとする機械加工に対しても支障がない。このようにシリコン板1の上にチタン層2、白金層3、はんだ層4からなる接合層5の上に半導体レーザ素子6を載せ約250℃に加熱し、はんだ層4を熔融凝固させ、サブマウントのシリコン板1に半導体レーザ素子6を接合する。なおシリコン板1の非鏡面研磨面にも同様にチタン層2、白金層3、はんだ層4からなる接合層5を形成し、この面ではヒ

—3—

錫または金錫共晶合金層の順に、これらを積層したものである。

(作用)

本発明によるサブマウント上の接合層の構成は白金層の上に直接錫のはんだ層が位置するのではなく、これらの間に金層が介在しているために錫が熔融したとき、金と高融点の金錫合金をつくり、表面が平坦なまま保持され、また錫の代りに共晶組成の金錫合金を用いても熔融時間が長く均一に凝固するから表面が平坦な接合が可能となる。

(実施例)

以下本発明を実施例に基づき説明する。

第1図は第2図と同様に半導体レーザ素子をヒートシンクに接合する状態を示した本発明における模式断面図であり、第2図と共通部分を同一符号で表わしてある。第1図と第2図の比較から明らかなように本発明が従来と異なる所は、接合層5aがチタン層2、白金層3、金層9、錫のはんだ層4からなり、白金層3と錫のはんだ層4との間に金層9が介在していることである。

—5—

ートシンク本体7に接合される。

(発明が解決しようとする課題)

しかしながら、第2図のようにして半導体レーザ素子6をサブマウントのシリコン板1を介してヒートシンク7に接合するとき、熔融したはんだ層4の錫と白金層3との間に界面張力が働き、数 μm の錫の微小突起によるうねりが生じ、素子6中の活性層8の領域が熔融のはんだの中に沈み、これが微小突起にまで達し、素子の短絡不良を起こす。

本発明の目的は、半導体レーザ素子をヒートシンクにマウントする際のはんだのうねりによる素子の短絡不良を低減するように、サブマウントに形成する接合層を提供することにある。

(課題を解決するための手段)

上記課題を解決するために本発明は半導体レーザ素子とヒートシンク²の間に介在してこれら双方に接合される半導体レーザ素子放熱体のサブマウントの上下両面に形成する接合層として、このサブマウント表面から、チタン層、白金層、金層、

—4—

第1図ではまず比抵抗 $0.005\ \Omega\text{cm}$ の片面を鏡面研磨したシリコン板1の非鏡面研磨面にチタン層2を $0.05\ \mu\text{m}$ 、白金層3を $0.5\ \mu\text{m}$ 、金層9を $0.1\ \mu\text{m}$ の厚さにそれぞれスパッタし積層形成する。そしてこれらのオーミックコンタクトをとるために500℃で5分間の熱処理を行う。比抵抗が $0.1\ \Omega\text{cm}$ 以下であれば容易にオーミックコンタクトがとれる。さらに両面に錫のはんだ層4を $2\ \mu\text{m}$ の厚さにスパッタ形成するがはんだ層4は錫の代りに金錫共晶合金を用いてもよい。かくしてシリコン板1の鏡面研磨面と非鏡面研磨面にチタン層2、白金層3、金層9、錫のはんだ層4からなる接合層5aが形成されるが、半導体レーザ素子6が接合されるのは鏡面研磨面側であるのは第2図の場合と同様である。その接合は接合層9を形成してから、サブマウントを $1\times 1\text{mm}$ 角に切断した後、レーザ素子6を所定の位置に載せ所定温度に加熱冷却することにより行われる。なおヒートシンク7が接合される側のはんだ層4は錫を含む鉛合金を用いることも可能である。

—6—

本発明では以上のように白金層 3 とはんだ層 4 の間に金層 9 を介在させたために、はんだ層 4 の錫が熔融凝固する間に金銅合金をつくり、表面が平坦のまま半導体レーザ素子 6 が接合されるので、その活性層 8 の位置する領域には殆ど熔融はんだの影響がなくなる。

したがって、従来先に述べたサブマウントへのはんだ付けによる短絡不良が 50% 程度であったのに対し、本発明の接合層を形成したことにより短絡による不良は著しく減り、素子の平均的な歩留りは 95% に達することができた。

〔発明の効果〕

半導体レーザ素子から発生する熱を逃すために通常ヒートシンクのサブマウントに、半導体レーザ素子を U-P-S-I-D-E-D-O-W-N 方式にはんだ付けを行うが、サブマウントに形成する接合層が表面からチタン層、白金層、錫はんだ層となっていたので、はんだ層が熔融したとき表面が凹凸になり、半導体レーザ素子の活性層領域まではんだが到達して素子の短絡不良を多く生じたが、本

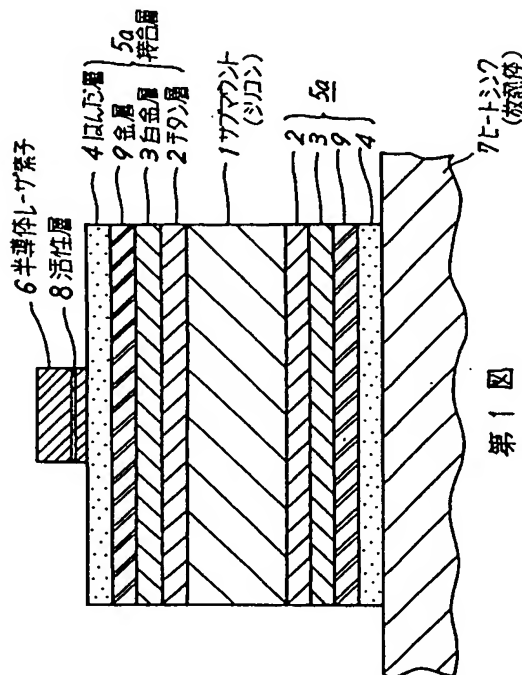
発明ではサブマウントの接合層のうち、白金層と錫はんだ層との間にもう一つ金層を介在させるようにしたため、はんだが熔融すると金との合金をつくって凹凸なく一様な表面で凝固するので半導体レーザ素子と平坦な接合が可能となり、素子の活性層にはなんらはんだ付けの影響を及ぼすことなく、しかも大きな接合強度と低い熱抵抗の接合が得られ、短絡不良の発生を著しく低減させることができた。

4. 図面の簡単な説明

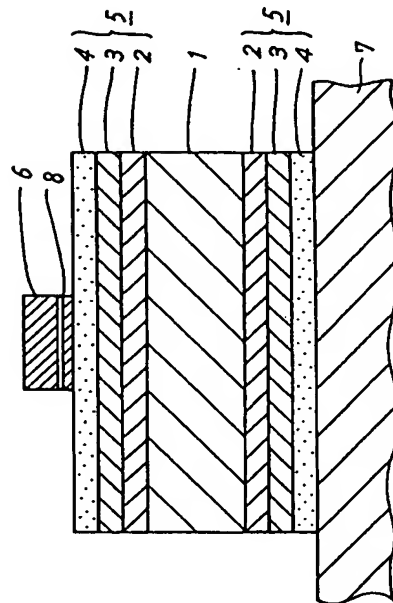
第 1 図は本発明の接合層をもったサブマウントへの半導体レーザ素子およびヒートシンクの接合状態を示す模式断面図、第 2 図は同じく従来の接合層をもつサブマウントへの接合状態を示す模式断面図である。

1 : サブマウント、2 : チタン層、3 : 白金層、4 : 錫はんだ層、5, 5a : 接合層、6 : 半導体レーザ素子、7 : ヒートシンク (放熱体)、8 : 活性層、9 : 金層。

代理人弁理士 山口 巖



第 1 図



第 2 図